

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 8 月 1 日

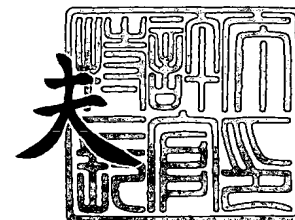
出 願 番 号
Application Number: 特 願 2 0 0 3 - 2 8 5 3 3 4
[ST. 10/C]: [J P 2 0 0 3 - 2 8 5 3 3 4]

出 願 人
Applicant(s): 日 本 電 信 電 話 株 式 有 限 公 司

2 0 0 3 年 1 0 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 NTTH155349
【提出日】 平成15年 8月 1日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 9/00
【発明者】
 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
 【氏名】 鈴木 賢司
【発明者】
 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
 【氏名】 宇賀神 守
【発明者】
 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
 【氏名】 東原 恒夫
【特許出願人】
 【識別番号】 000004226
 【氏名又は名称】 日本電信電話株式会社
【代理人】
 【識別番号】 100064621
 【弁理士】
 【氏名又は名称】 山川 政樹
 【電話番号】 03-3580-0961
【選任した代理人】
 【識別番号】 100067138
 【弁理士】
 【氏名又は名称】 黒川 弘朗
【選任した代理人】
 【識別番号】 100098394
 【弁理士】
 【氏名又は名称】 山川 茂樹
【手数料の表示】
 【予納台帳番号】 006194
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0205287

【書類名】 特許請求の範囲**【請求項 1】**

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周期 (N は 2 以上の整数) までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、

第 2 のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、

前記コンパレータ回路および遅延回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、

この N 個の乗算器の出力を加算する加算器と、

この加算器の出力のピークを検出するピーク検出器とを有することを特徴とする逆拡散復調器。

【請求項 2】

請求項 1 に記載の逆拡散復調器において、

前記第 2 のクロックに同期してシフトする前記拡散符号の前記 N 個の乗算器への入力順と前記第 1 のクロックに同期してシフトする前記拡散信号の前記 N 個の乗算器への入力順とが同じであることを特徴とする逆拡散復調器。

【請求項 3】

請求項 1 に記載の逆拡散復調器において、

前記第 2 のクロックに同期してシフトする前記拡散符号の前記 N 個の乗算器への入力順と前記第 1 のクロックに同期してシフトする前記拡散信号の前記 N 個の乗算器への入力順とが逆であることを特徴とする逆拡散復調器。

【請求項 4】

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周期 (N は 2 以上の整数) までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、

N 個の拡散符号を発生する拡散符号発生回路と、

前記コンパレータ回路および遅延回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、

この N 個の乗算器の出力を加算する加算器と、

この加算器の出力のピークを検出するピーク検出器とを有し、

前記拡散符号発生回路から出力される N 個の拡散符号が固定されていることを特徴とする逆拡散復調器。

【請求項 5】

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周期 (N は 2 以上の整数) までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、

第 2 のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、

前記コンパレータ回路および遅延回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、

この N 個の乗算器の出力を加算する加算器と、

この加算器の出力のピークを検出するピーク検出器と、

このピーク検出器による前記ピークの検出に応じて前記拡散符号発生回路への前記第 2 のクロックの入力を制御するクロック制御回路とを有することを特徴とする逆拡散復調器。

【請求項 6】

請求項 5 に記載の逆拡散復調器において、

前記クロック制御回路は、前記ピーク検出器によって前記ピークが検出される度に、前記拡散符号発生回路への前記第 2 のクロックの入力の停止と再開とを交互に切り替えることを特徴とする逆拡散復調器。

【請求項 7】

請求項 5 に記載の逆拡散復調器において、

前記クロック制御回路は、前記ピーク検出器によって前記ピークが検出されたときに、前記拡散符号発生回路への前記第 2 のクロックの入力を一定時間だけ停止することを特徴とする逆拡散復調器。

【請求項 8】

請求項 5 に記載の逆拡散復調器において、

前記拡散符号発生回路と前記クロック制御回路とを DSP または PLD により構成したことを特徴とする逆拡散復調器。

【請求項 9】

受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から $(N-1)$ 周期 (N は 2 以上の整数) までそれぞれ遅延させた $N-1$ 個の信号を出力する $N-1$ 個の遅延回路と、

第 2 のクロックに同期して N 個の第 1 の拡散符号を発生する第 1 の拡散符号発生回路と、

前記第 2 のクロックに同期して前記第 1 の拡散符号を逆向きに並び替えた N 個の第 2 の拡散符号を発生する第 2 の拡散符号発生回路と、

前記コンパレータ回路および遅延回路から出力された信号と前記第 1 の拡散符号発生回路または第 2 の拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、

この N 個の乗算器の出力を加算する加算器と、

この加算器の出力のピークを検出するピーク検出器と、

前記ピーク検出器によって前記ピークが検出される度に、前記第 1 の拡散符号発生回路から前記乗算器への前記第 1 の拡散符号の入力と前記第 2 の拡散符号発生回路から前記乗算器への前記第 2 の拡散符号の入力とを交互に切り替える拡散符号制御回路とを有することを特徴とする逆拡散復調器。

【請求項 10】

請求項 9 に記載の逆拡散復調器において、

前記第 1 の拡散符号発生回路は、前記第 2 のクロックに同期して前記第 1 の拡散符号をシフトさせる N 個の第 1 のフリップフロップ回路群と、この第 1 のフリップフロップ回路群の内の複数のフリップフロップ回路の出力を入力する第 1 の排他的論理和回路と、前記第 1 のフリップフロップ回路群のフリップフロップ回路を開閉自在に縦続接続すると共に前記第 1 の排他的論理和回路の出力を前記第 1 のフリップフロップ回路群の内の初段のフリップフロップ回路の入力に開閉自在に接続する第 1 のスイッチ群とを具備し、

前記第 2 の拡散符号発生回路は、前記第 2 のクロックに同期して前記第 1 の拡散符号と逆方向に前記第 2 の拡散符号をシフトさせる N 個の第 2 のフリップフロップ回路群と、この第 2 のフリップフロップ回路群の内の複数のフリップフロップ回路の出力を入力する第 2 の排他的論理和回路と、前記第 2 のフリップフロップ回路群のフリップフロップ回路を開閉自在に縦続接続すると共に前記第 2 の排他的論理和回路の出力を前記第 2 のフリップフロップ回路群の内の初段のフリップフロップ回路の入力に開閉自在に接続する第 2 のスイッチ群とを具備し、

前記拡散符号制御回路は、前記ピーク検出器によって前記ピークが検出される度に、前記第 1 のスイッチ群をオン状態にする制御と前記第 2 のスイッチ群をオン状態にする制御

とを交互に切り替えることを特徴とする逆拡散復調器。

【請求項 1 1】

請求項 1 0 に記載の逆拡散復調器において、

前記第 1 の拡散符号発生回路と前記第 2 の拡散符号発生回路と前記拡散符号制御回路とを DSP または PLD により構成したことを特徴とする逆拡散復調器。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか 1 項に記載の逆拡散復調器において、

前記 N 個の乗算器と前記加算器と前記ピーク検出器とをデジタル回路で構成したことを特徴とする逆拡散復調器。

【書類名】明細書

【発明の名称】逆拡散復調器

【技術分野】

【0001】

本発明は、拡散符号を用いた演算により所望の信号を周波数拡散して送信した拡散信号を受信し、この受信した拡散信号を拡散符号を用いた演算により逆拡散して前記所望の信号を取り出す無線通信における逆拡散復調器に関するものである。

【背景技術】

【0002】

図10に第1の従来技術である逆拡散復調器の構成を示す。本構成では、受信された拡散信号は乗算器1001において拡散符号発生回路1002で発生した拡散符号と乗算され、ローパスフィルタ(LPF)1003に通すことで高調波成分が除去され、受信信号(ベースバンド信号)が得られる。1004は拡散符号と拡散信号の位相を合わせるための同期制御回路である。

【0003】

図11に第2の従来技術である逆拡散復調器の構成を示し、図12に図11の逆拡散復調器におけるピーク検出器1114の入力側のA点と出力側のB点の信号の特徴的な波形を示す。本構成では、受信された拡散信号は拡散符号に対応したマッチトフィルタ1111により相関信号に変換され、遅延線1112によりデータクロックの逆数分遅延され、その遅延信号と前記相関信号が乗算器1113で乗算され、その後ピーク検出器1114でピーク検出を行うことで受信信号が得られる。

【0004】

図10の同期制御回路を有する逆拡散復調器および図11のマッチトフィルタを有する逆拡散復調器については例えば非特許文献1に記載されている。なお、出願人は、本明細書に記載した先行技術文献情報で特定される先行技術文献以外には、本発明に関連する先行技術文献を出願時までに見るに至らなかった。

【非特許文献1】丸林元，中川正雄，河野隆二著，「スペクトル拡散通信とその応用」，電子情報通信学会，1998年，94頁～145頁，ISBN4-88562-163-X

【発明の開示】

【発明が解決しようとする課題】

【0005】

図10に示した第1の従来技術である逆拡散復調器では、拡散符号と拡散信号の位相を高精度に合わせる必要がある。このため、同期制御回路1004の構成が複雑になり、回路規模および消費電力が増大するという問題があった。

【0006】

また、図11に示した第2の従来技術である逆拡散復調器では、マッチトフィルタ1111として通常SAW(Surface Acoustic Wave)フィルタを用いる。このため、実装面積および実装コストが増大するという問題があった。また、特定の拡散符号に特化したマッチトフィルタ1111を用いるため、異なる拡散符号による拡散信号を復調できないという問題があった。また、マッチトフィルタ1111をオンチップの回路で構成すると、面積規模および消費電力が増大するという問題があった。

【0007】

本発明は、以上のような点に鑑みてなされたものであり、その目的は、外付け部品を不要にし、かつ同期制御が不要で低電力な逆拡散復調器を提供することで、携帯無線機の低電力・低コスト化に寄与することである。

【課題を解決するための手段】

【0008】

本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第1のクロックに同期してデジタル信号に変換するコンパレータ回路と、

このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N-1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N-1 個の信号を出力する N-1 個の遅延回路と、第 2 のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、前記コンパレータ回路および遅延回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、この N 個の乗算器の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器とを有するものである。

【0009】

また、本発明の逆拡散復調器の 1 構成例は、前記第 2 のクロックに同期してシフトする前記拡散符号の前記 N 個の乗算器への入力順と前記第 1 のクロックに同期してシフトする前記拡散信号の前記 N 個の乗算器への入力順とが同じとなるようにしたものである。

また、本発明の逆拡散復調器の 1 構成例は、前記第 2 のクロックに同期してシフトする前記拡散符号の前記 N 個の乗算器への入力順と前記第 1 のクロックに同期してシフトする前記拡散信号の前記 N 個の乗算器への入力順とが逆となるようにしたものである。

【0010】

また、本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N-1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N-1 個の信号を出力する N-1 個の遅延回路と、N 個の拡散符号を発生する拡散符号発生回路と、前記コンパレータ回路および遅延回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、この N 個の乗算器の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器とを有し、前記拡散符号発生回路から出力される N 個の拡散符号が固定されていることを特徴とするものである。

【0011】

また、本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N-1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N-1 個の信号を出力する N-1 個の遅延回路と、第 2 のクロックに同期して N 個の拡散符号を発生する拡散符号発生回路と、前記コンパレータ回路および遅延回路から出力された信号と前記拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算する N 個の乗算器と、この N 個の乗算器の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器と、このピーク検出器による前記ピークの検出に応じて前記拡散符号発生回路への前記第 2 のクロックの入力を制御するクロック制御回路とを有するものである。

【0012】

また、本発明の逆拡散復調器の 1 構成例において、前記クロック制御回路は、前記ピーク検出器によって前記ピークが検出される度に、前記拡散符号発生回路への前記第 2 のクロックの入力の停止と再開とを交互に切り替えるようにしたものである。

また、本発明の逆拡散復調器の 1 構成例において、前記クロック制御回路は、前記ピーク検出器によって前記ピークが検出されたときに、前記拡散符号発生回路への前記第 2 のクロックの入力を一定時間だけ停止するようにしたものである。

また、本発明の逆拡散復調器の 1 構成例は、前記拡散符号発生回路と前記クロック制御回路とを DSP または PLD により構成するようにしたものである。

【0013】

また、本発明の逆拡散復調器は、受信した拡散信号を、この拡散信号の拡散に用いたクロックと同じ周波数の第 1 のクロックに同期してデジタル信号に変換するコンパレータ回路と、このコンパレータ回路の出力信号を前記第 1 のクロックの 1 周期から (N-1) 周期 (N は 2 以上の整数) までそれぞれ遅延させた N-1 個の信号を出力する N-1 個の遅延回路と、第 2 のクロックに同期して N 個の第 1 の拡散符号を発生する第 1 の拡散符号発

生回路と、前記第2のクロックに同期して前記第1の拡散符号を逆向きに並び替えたN個の第2の拡散符号を発生する第2の拡散符号発生回路と、前記コンパレータ回路および遅延回路から出力された信号と前記第1の拡散符号発生回路または第2の拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算するN個の乗算器と、このN個の乗算器の出力を加算する加算器と、この加算器の出力のピークを検出するピーク検出器と、前記ピーク検出器によって前記ピークが検出される度に、前記第1の拡散符号発生回路から前記乗算器への前記第1の拡散符号の入力と前記第2の拡散符号発生回路から前記乗算器への前記第2の拡散符号の入力とを交互に切り替える拡散符号制御回路とを有するものである。

【0014】

また、本発明の逆拡散復調器の1構成例において、前記第1の拡散符号発生回路は、前記第2のクロックに同期して前記第1の拡散符号をシフトさせるN個の第1のフリップフロップ回路群と、この第1のフリップフロップ回路群の内の複数のフリップフロップ回路の出力を入力する第1の排他的論理和回路と、前記第1のフリップフロップ回路群のフリップフロップ回路を開閉自在に縦続接続すると共に前記第1の排他的論理和回路の出力を前記第1のフリップフロップ回路群の内の初段のフリップフロップ回路の入力に開閉自在に接続する第1のスイッチ群とを具備し、前記第2の拡散符号発生回路は、前記第2のクロックに同期して前記第1の拡散符号と逆方向に前記第2の拡散符号をシフトさせるN個の第2のフリップフロップ回路群と、この第2のフリップフロップ回路群の内の複数のフリップフロップ回路の出力を入力する第2の排他的論理和回路と、前記第2のフリップフロップ回路群のフリップフロップ回路を開閉自在に縦続接続すると共に前記第2の排他的論理和回路の出力を前記第2のフリップフロップ回路群の内の初段のフリップフロップ回路の入力に開閉自在に接続する第2のスイッチ群とを具備し、前記拡散符号制御回路は、前記ピーク検出器によって前記ピークが検出される度に、前記第1のスイッチ群をオン状態にする制御と前記第2のスイッチ群をオン状態にする制御とを交互に切り替えるものである。

【0015】

また、本発明の逆拡散復調器の1構成例は、前記第1の拡散符号発生回路と前記第2の拡散符号発生回路と前記拡散符号制御回路とをDSPまたはPLDにより構成するようにしたものである。

また、本発明の逆拡散復調器の1構成例は、前記N個の乗算器と前記加算器と前記ピーク検出器とをデジタル回路で構成するようにしたものである。

【発明の効果】

【0016】

本発明によれば、受信した拡散信号をデジタル信号に変換するコンパレータ回路と、コンパレータ回路の出力を第1のクロックの1周期から(N-1)周期までそれぞれ遅延させたN-1個の信号を出力するN-1個の遅延回路と、第2のクロックに同期してN個の拡散符号を発生する拡散符号発生回路と、コンパレータ回路および遅延回路から出力された信号と拡散符号発生回路から出力された拡散符号とを対応する信号毎に乗算するN個の乗算器と、乗算器の出力を加算する加算器と、加算器の出力のピークを検出するピーク検出器とから逆拡散復調器を構成し、外付け部品が不要で、かつ拡散信号と拡散符号との同期制御が不要な拡散符号発生回路を用いて拡散信号を逆拡散復調するようにしたので、低電力の逆拡散復調器を実現することができ、逆拡散復調器を搭載する携帯無線機の低電力・低コスト化を実現することができる。

【0017】

また、拡散符号発生回路から出力する拡散符号を固定することにより、拡散符号発生回路を含む逆拡散復調器の低消費電力化を実現することができる。

【0018】

また、ピーク検出器によるピークの検出に応じて拡散符号発生回路への第2のクロックの入力を制御するクロック制御回路を設けることにより、加算器からの相関ピーク信号が

第1のクロック、第2のクロックおよび拡散符号に依存せず、相関ピーク信号を頻繁に得ることができるので、送信するデータのデータクロック周波数が高速な場合でも逆拡散復調を行うことができ、データクロック周波数を高速化することができる。

【0019】

また、第2のクロックに同期してN個の第1の拡散符号を発生する第1の拡散符号発生回路と、第2のクロックに同期して第1の拡散符号を逆向きに並び替えたN個の第2の拡散符号を発生する第2の拡散符号発生回路と、ピーク検出器によってピークが検出される度に、第1の拡散符号発生回路から乗算器への第1の拡散符号の入力と第2の拡散符号発生回路から乗算器への第2の拡散符号の入力とを交互に切り替える拡散符号制御回路とを設けることにより、加算器からの相関ピーク信号が第1のクロック、第2のクロックおよび拡散符号に依存せず、相関ピーク信号を頻繁に得ることができるので、送信するデータのデータクロック周波数が高速な場合でも逆拡散復調を行うことができ、データクロック周波数を高速化することができる。

【0020】

また、コンパレータ回路を設けることにより、N個の乗算器と加算器とピーク検出器とをデジタル回路で構成することが可能となるので、逆拡散復調器の設計が容易になり、逆拡散復調器の小型化を実現することができる。

【発明を実施するための最良の形態】

【0021】

〔第1の実施の形態〕

図1は本発明の第1の実施の形態となる逆拡散復調器の構成を示すブロック図である。本実施の形態の逆拡散復調器は、入力された拡散信号を第1のクロック f_1 に同期して1ビットのデジタル信号に変換するコンパレータ回路13と、コンパレータ回路13の出力信号をクロック f_1 の1周期から $(N-1)$ 周期 (N は2以上の整数で、本実施の形態では7) までそれぞれ遅延させた $(N-1)$ 個の信号を出力する遅延回路14a~14fと、送信側で前記拡散信号の拡散に使用された拡散符号と同じN個の拡散符号を第2のクロック f_2 に同期して発生する拡散符号発生回路16と、コンパレータ回路13および遅延回路14a~14fから出力された信号と拡散符号発生回路16から出力された拡散符号とを対応する信号毎に乗算するN個の乗算器15a~15gと、乗算器15a~15gの各出力信号を加算する加算器17と、加算器17の出力信号のピーク値を検出するピーク検出器18とから構成される。

【0022】

第1のクロック f_1 は、送信側で拡散信号の拡散に使用されたクロックと同じ周波数のクロックである。第2のクロック f_2 は、送信側で拡散符号の生成に使用されたクロックと同じ周波数のクロックである。

なお、本実施の形態では、 $N=7$ とし、乗算器が $N=7$ 個の場合を示したが、 N は2以上の整数であればよい。

【0023】

図2に乗算器15 (15a~15g) の構成の1例を示す。各乗算器15は、NMOSトランジスタMN1~MN7からなり、2段縦積み型の差動回路で構成されている。拡散符号発生回路16から出力される拡散符号とコンパレータ回路13および遅延回路14 (14a~14f) から出力される拡散信号とは、差動形式の信号である。拡散符号発生回路16から出力される拡散符号はトランジスタMN1, MN2からなる差動回路とトランジスタMN3, MN4からなる差動回路とに互いに逆相で入力され、コンパレータ回路13および遅延回路14 (14a~14f) から出力される拡散信号はトランジスタMN5, MN6からなる差動回路に入力される。これにより、拡散符号と拡散信号とは乗算され、その乗算結果が電流モードで出力される。

【0024】

図3に加算器17の構成の1例を示す。加算器17は、一端に電源電圧が印加され、他端に乗算器15a~15gの差動出力が入力される負荷抵抗31, 32から構成される。

電流モードで出力する各乗算器 15 a ~ 15 g の差動出力は、加算器 17 において負荷抵抗 31, 32 により電圧に変換されて加算され電圧モードで出力される。加算器 17 の出力信号は、ピーク検出器 18 によりピーク検出され、受信信号（ベースバンド信号）として出力される。

【0025】

図 4 に拡散符号発生回路 16 の構成の 1 例を示す。拡散符号発生回路 16 は、排他的論理和回路 161 と、この排他的論理和回路 161 の出力をクロック f2 に同期してシフトするシフトレジスタを構成するフリップフロップ回路 162 a ~ 162 g とからなる。本実施の形態では、フリップフロップ回路 162 a, 162 c の出力を排他的論理和回路 161 に取り込み、この排他的論理和回路 161 の演算結果をフリップフロップ回路 162 a の入力に戻すことで拡散符号（本実施の形態では PN7）を生成している。

【0026】

排他的論理和回路 161 への入力の組み合わせを変えるだけで各種の拡散符号を生成することができる。なお、遅延回路 14 a ~ 14 f や乗算器 15 a ~ 15 g の数を増やす場合は、拡散符号発生回路 16 のフリップフロップ回路 162 の数をそれに合わせて増加させればよい。

【0027】

以下、本実施の形態の逆拡散復調器の動作を詳細に説明する。コンパレータ回路 13 は、入力された拡散信号の信号レベルを所定のしきい値に基づいてクロック f1 の周期毎に判定し、拡散信号をハイ（High）またはロウ（Low）の 1 ビットデジタルデータに変換して出力する。コンパレータ回路 13 から出力された信号は、フリップフロップからなる遅延回路 14 a および乗算器 15 a へ供給される。

【0028】

遅延回路 14 a は、コンパレータ回路 13 の出力信号をクロック f1 の 1 周期分だけ遅延させて遅延回路 14 b および乗算器 15 b に出力する。遅延回路 14 b ~ 14 e の動作も同様である。遅延回路 14 f は、遅延回路 14 e の出力信号をクロック f1 の 1 周期分だけ遅延させて乗算器 15 g に出力する。

【0029】

以上の動作により、コンパレータ回路 13 から出力された信号は、乗算器 15 a へ供給されると共に、遅延回路 14 a ~ 14 f によってクロック f1 の 1 周期ずつ順次遅れて乗算器 15 b ~ 15 g へ供給される。

【0030】

本実施の形態では、コンパレータ回路 13 および 6 個の遅延回路 14 a ~ 14 f によって 7 チップレートに相当する拡散信号が常に乗算器 15 a ~ 15 g に入力されることとなる。コンパレータ回路 13 および遅延回路 14 a ~ 14 f から出力される 7 チップレートの拡散信号は、クロック f1 に同期して更新され、コンパレータ回路 13 からは常にクロック f1 のタイミングで新しい拡散信号が出力される。

【0031】

拡散符号発生回路 16 は、前記拡散信号に対応した拡散符号をクロック f2 に同期して出力する。図 4 は PN7 の拡散符号を発生する拡散符号発生回路の構成例である。拡散符号発生回路 16 のフリップフロップ回路 162 a ~ 162 g から出力される拡散符号は、それぞれ乗算器 15 a ~ 15 g に出力される。フリップフロップ回路 162 a ~ 162 g は縦続接続され、シフトレジスタを構成している。このため、拡散符号はクロック f2 に同期して図 4 の右方向にシフトしながら各乗算器 15 a ~ 15 g へ出力される。

【0032】

図 4 はフリップフロップ群を用いた場合の構成例であるが、DSP（Digital Signal Processor）や PLD（Programmable Logic Device）といったプログラマブルデバイスから拡散符号を出力する構成にしてもよい。

【0033】

コンパレータ回路 13 および遅延回路 14 a ~ 14 f から出力された拡散信号と拡散符

号発生回路 16 から出力された拡散符号とは、乗算器 15 a ~ 15 g により対応する信号毎に乗算され、各乗算器 15 a ~ 15 g の乗算結果が加算器 17 により加算されて出力される。

【0034】

図 5 に図 1 の A 点と B 点における特徴的な信号波形を示す。拡散信号はクロック f_1 の速度でシフトしながら各乗算器 15 a ~ 15 g に入力され、拡散符号はクロック f_2 の速度でシフトしながら各乗算器 15 a ~ 15 g に入力される。したがって、拡散信号と拡散符号の位相は、クロック f_1 とクロック f_2 の和の周波数もしくは差の周波数で変化する。

【0035】

PN 7 の拡散符号を用いた場合、この拡散符号の周期は 7 チップレート間隔となり、拡散信号と拡散符号の位相を変化させたときには 7 チップレートのうち 1 チップレート分だけ、拡散信号と拡散符号の位相が一致し相関ピーク信号が加算器 17 から得られる。

【0036】

したがって、加算器 17 の出力 (A 点) における信号のピークは、拡散符号長 $|f_1 + f_2|$ もしくは拡散符号長 $|f_1 - f_2|$ の時間間隔で発生する。拡散信号と拡散符号とがシフトする方向が同じ方向の場合は、位相が変化する速度はクロック f_1 とクロック f_2 の差の周波数となり、シフトする方向が逆向きの場合は、クロック f_1 とクロック f_2 の和の周波数となる。

【0037】

本実施の形態では、拡散信号と拡散符号とが同じ方向にシフトするので、加算器 17 の出力における相関ピーク信号は、図 5 (a) に示すように、拡散符号長 $|f_1 - f_2|$ の時間間隔で発生する。本実施の形態の場合、拡散符号長は 7 である。

【0038】

本構成では、送信側から送られたデジタルデータの「1」、「0」に対応して加算器 17 から正負の相関値出力が図 5 (a) に示すように得られる。したがって、コンパレータ回路 13、遅延回路 14 a ~ 14 f、乗算器 15 a ~ 15 g、拡散符号発生回路 16 および加算器 17 は、入力された拡散信号に対して逆拡散を行い、送信された「1」、「0」のデータに対応したピーク信号を出力する逆拡散手段として機能する。ピーク検出器 18 は、加算器 17 の出力信号のピークを検出することにより、図 5 (b) に示すようにデジタルの受信信号 (ベースバンド信号) を出力する。

【0039】

以上のように、本実施の形態によれば、拡散信号と拡散符号との同期制御を行うことなく拡散信号を逆拡散復調することができる。

【0040】

なお、拡散信号と拡散符号のシフトの方向を逆方向にするには、図 4 に示した拡散符号発生回路 16 のフリップフロップ回路 16 2 g の出力が乗算器 15 a に、フリップフロップ回路 16 2 f の出力が乗算器 15 b に、フリップフロップ回路 16 2 e の出力が乗算器 15 c に、フリップフロップ回路 16 2 d の出力が乗算器 15 d に、フリップフロップ回路 16 2 c の出力が乗算器 15 e に、フリップフロップ回路 16 2 b の出力が乗算器 15 f に、フリップフロップ回路 16 2 a の出力が乗算器 15 g に各々入力されるように接続すればよい。これにより、拡散符号が乗算器 15 a ~ 15 g に入力される順序が本実施の形態と逆になる。この場合、加算器 17 の出力における相関ピーク信号は、拡散符号長 $|f_1 + f_2|$ の時間間隔で発生する。

【0041】

[第 2 の実施の形態]

次に、本発明の第 2 の実施の形態について説明する。本実施の形態の逆拡散復調器は、上記第 1 の実施の形態の逆拡散復調器とほとんど同じ構成なので、図 1 の符号を用いて説明する。第 1 の実施の形態と異なるのは、拡散符号発生回路 16 から出力する拡散符号を固定とする点である。第 1 の実施形態では拡散符号発生回路 16 から出力する拡散符号を

クロック f_2 に同期してシフトさせながら各乗算器 15 a ~ 15 g へ出力していたが、本実施の形態では拡散符号をシフトさせずに固定パターンで出力する。

【0042】

本実施の形態の拡散符号発生回路 16 の構成としては、ハイ (High)、ロウ (Low) の 2 レベルの信号をつくり、出力する拡散符号に対応させて各乗算器 15 a ~ 15 g に入力すればよい。図 4 に示した拡散符号発生回路を用いる場合には、クロック f_2 を各フリップフロップ回路 16 2 a ~ 16 2 g に供給して、拡散符号が出力されたことを確認した後に、クロック f_2 の供給を停止すればよい。

【0043】

また、DSP や PLD といったプログラマブルデバイスを用いて拡散符号発生回路 16 を構成して、固定した拡散符号を出力するようにしてもよいし、その他の手段を用いて固定した拡散符号を出力するようにしてもよい。

【0044】

本実施の形態では、拡散符号が固定され、拡散信号のみがクロック f_1 に同期してシフトしながら各乗算器 15 a ~ 15 g へ出力されるため、拡散信号と拡散符号の位相が変化する速度は f_1 となる。その結果、加算器 17 の出力における相関ピーク信号は、拡散符号長 / f_1 の時間間隔で発生する。

【0045】

本実施の形態によれば、第 1 の実施の形態と同様に、拡散信号と拡散符号との同期制御を行うことなく逆拡散復調を行うことができる。さらに、本実施の形態では、拡散符号発生回路の出力を固定とするため、拡散符号発生回路を含む逆拡散復調器の低消費電力化を実現することができる。

【0046】

[第 3 の実施の形態]

次に、本発明の第 3 の実施の形態について説明する。図 6 は本発明の第 3 の実施の形態となる逆拡散復調器の構成を示すブロック図であり、図 1 と同一の構成には同一の符号を付してある。第 1 の実施の形態と異なるのは、拡散符号発生回路 16 へのクロック f_2 の入力を制御するクロック制御回路 19 を備え、このクロック制御回路 19 がピーク検出器 18 によるピークの検出に応じて拡散符号発生回路 16 へのクロック f_2 の入力を制御する点である。

【0047】

本実施の形態では、拡散信号と拡散符号のシフトする方向を同方向とし、クロック f_2 をクロック f_1 よりも高い周波数に設定するものとする。この場合、拡散信号と拡散符号の位相は f_1 と f_2 の差の周波数で変化し、またクロック f_2 はクロック f_1 よりも高い周波数のため、拡散符号は拡散信号に対して進み位相となる。

【0048】

以下、本実施の形態の逆拡散復調器の動作を詳細に説明する。第 1 の実施の形態で説明したように、拡散信号と拡散符号の位相が一致した瞬間に加算器 17 からは相関ピーク信号 (第 1 の相関ピーク信号と呼ぶ) が得られる。クロック制御回路 19 は、ピーク検出器 18 により第 1 の相関ピーク信号が検出されると、拡散符号発生回路 16 へのクロック f_2 の入力を停止する。これにより、拡散符号発生回路 16 のフリップフロップ回路 16 2 a ~ 16 2 g へのクロック f_2 の入力が停止するので、拡散符号はシフトすることなくフリップフロップ回路 16 2 a ~ 16 2 g で保持される。

【0049】

ピーク検出器 18 が第 1 の相関ピーク信号を検出して拡散符号のシフトが実際に停止するまでの遅延時間の間に、拡散信号と拡散符号の位相はクロック f_1 とクロック f_2 の差の周波数で変化し続けている。このため、拡散符号のシフトが停止したときには、第 1 の相関ピーク信号が検出されたときに比べて拡散信号と拡散符号の位相にずれが生じており、拡散符号の位相は拡散信号に対してわずかに進み位相となっている。

【0050】

拡散符号のシフトが停止した後も、拡散信号はクロック f_1 に同期してシフトしているため、拡散信号と拡散符号の位相は f_1 の速度で変化し、拡散符号に対して遅れ位相であった拡散信号の位相は進み位相の方向に変化する。拡散符号のシフトが停止したとき、拡散符号の位相は拡散信号に対してわずかに進み位相となっているだけなので、拡散符号のシフト停止から程無くして拡散信号と拡散符号の位相は再び一致し、相関ピーク信号（第2の相関ピーク信号と呼ぶ）が加算器 17 から得られる。

【0051】

クロック制御回路 19 は、第1の相関ピーク信号に応じて拡散符号発生回路 16 へのクロック f_2 の入力を停止した後、ピーク検出器 18 により第2の相関ピーク信号が検出されると、拡散符号発生回路 16 へのクロック f_2 の入力を再開する。ピーク検出器 18 が第2の相関ピーク信号を検出して拡散符号のシフトが実際に再開されるまでの遅延時間の間に、拡散信号と拡散符号の位相はクロック f_1 の周波数で変化し続けている。このため、拡散符号のシフトが再開したときには、第2の相関ピーク信号が検出されたときに比べて拡散信号と拡散符号の位相にずれが生じており、拡散信号の位相は拡散符号に対してわずかに進み位相となっている。

【0052】

拡散符号のシフトの再開後、拡散信号と拡散符号の位相は再び f_1 と f_2 の周波数差で拡散信号に対して拡散符号の位相が進み位相となるように変化し始める。拡散符号のシフトが再開したとき、拡散信号の位相は拡散符号に対してわずかに進み位相となっているだけなので、拡散符号のシフト再開から程無くして拡散信号と拡散符号の位相は再び一致し、相関ピーク信号（第3の相関ピーク信号と呼ぶ）が加算器 17 から得られる。

【0053】

クロック制御回路 19 は、第2の相関ピーク信号に応じて拡散符号発生回路 16 へのクロック f_2 の入力を再開した後、ピーク検出器 18 により第3の相関ピーク信号が検出されると、拡散符号発生回路 16 へのクロック f_2 の入力を停止する。

【0054】

以下同様の制御を繰り返すことにより相関ピーク信号を頻繁に得ることができる。図7に図6のA点とB点における特徴的な信号波形を示す。第1の実施の形態では、相関ピーク信号の得られる周期がクロック f_1 とクロック f_2 の和の周波数もしくは差の周波数と、使用する拡散符号の符号長とに依存していたが、本実施の形態では、上記構成によりクロック f_1 、 f_2 や使用する拡散符号に依存せずに相関ピーク信号が得られる。

【0055】

なお、本実施の形態では、加算器 17 からの相関ピーク信号を検出するたびに拡散符号発生回路 16 へのクロック f_2 の入力を停止／再開する構成としたが、相関ピーク信号を検出して拡散符号発生回路 16 へのクロック f_2 の入力を停止した後は、次の相関ピーク信号を検出せずに一定時間待ってからクロック f_2 の入力を再開する構成にしても同様の効果が得られる。

【0056】

また、拡散符号発生回路 16 およびクロック制御回路 19 をDSP等のプログラマブルデバイスで構成してもよく、同等の制御を行えるものであればこれらに特に限定されない。

【0057】

本実施の形態によれば、第1の実施の形態と同様に、拡散信号と拡散符号との同期制御を行うことなく逆拡散復調を行うことができる。さらに、本実施の形態では、加算器 17 からの相関ピーク信号がクロック f_1 、 f_2 や使用する拡散符号に依存しない構成のため、送信する信号のデータレートの高ビット化を図ることができる。

【0058】

[第4の実施の形態]

次に、本発明の第4の実施の形態について説明する。本実施の形態の逆拡散復調器は、上記第1の実施の形態の逆拡散復調器とほとんど同じ構成なので、図1の符号を用いて説

明する。第1の実施の形態と異なるのは、拡散符号発生回路16が第1の拡散符号発生回路と第2の拡散符号発生回路と拡散符号制御回路とを有し、ピーク検出器18によるピークの検出に応じて第1の拡散符号発生回路と第2の拡散符号発生回路の出力を交互に切り替える点である。

【0059】

本実施の形態の拡散符号発生回路16の構成例を図8に示す。本実施の形態の拡散符号発生回路16は、排他的論理和回路163、166と、クロックf2に同期してシフトするシフトレジスタを構成するフリップフロップ回路164a～164g、167a～167gと、排他的論理和回路163、166やフリップフロップ回路164a～164g、167a～167gの出力パスをオン／オフするスイッチ165a～165h、168a～168hと、スイッチ165a～165h、168a～168hを制御する拡散符号制御回路169とから構成される。

【0060】

本実施の形態では、フリップフロップ回路164a、164cの出力を排他的論理和回路163に取り込み、この排他的論理和回路163の演算結果をフリップフロップ164aの入力に戻すことにより第1の拡散符号を発生する。一方、フリップフロップ回路167e、167fの出力を排他的論理和回路166に取り込み、排他的論理和回路166の演算結果をフリップフロップ167gの入力に戻すことにより第1の拡散符号を逆順に並べ替えた第2の拡散符号を発生する。

【0061】

すなわち、第1の排他的論理和回路163、フリップフロップ回路164a～164gからなる第1のフリップフロップ回路群およびスイッチ165a～165hからなる第1のスイッチ群は第1の拡散符号発生回路160-1を構成し、第2の排他的論理和回路166、フリップフロップ回路167a～167hからなる第2のフリップフロップ回路群およびスイッチ168a～168hからなる第2のスイッチ群は第1の拡散符号発生回路160-1が発生する第1の拡散符号とは逆方向に信号がシフトしていく第2の拡散符号を発生する第2の拡散符号発生回路160-2を構成している。排他的論理和回路163、166への入力の組み合わせを変えるだけで各種の拡散符号に対応した拡散符号発生回路が形成できる。

【0062】

拡散符号制御回路169は、ピーク検出器18によるピーク検出に応じてスイッチ165a～165h、168a～168hを制御する。スイッチ165a～165hがオンのときはスイッチ168a～168hはオフであり、第1の拡散符号発生回路160-1で発生する第1の拡散符号は図8において左から右へとシフトしていく。逆に、スイッチ165a～165hがオフのときはスイッチ168a～168hはオンであり、第2の拡散符号発生回路160-2で発生する第2の拡散符号は図8において右から左へとシフトしていく。

【0063】

拡散符号制御回路169は、ピーク検出器18によってピークが検出される度に第1のスイッチ群（165a～165h）と第2のスイッチ群（168a～168h）とを交互に切り替えて拡散符号のシフトする方向を切り替える。第1の拡散符号発生回路160-1または第2の拡散符号発生回路160-2のうち、スイッチ群がオンしている一方の拡散符号発生回路のフリップフロップ回路群から対応する乗算器15a～15gに拡散符号が入力される。また、このフリップフロップ回路群の出力はスイッチ群がオフしている他方の拡散符号発生回路のフリップフロップ回路群にも同時に入力されているため、スイッチ群を切り替える際には、その時点で出力している拡散符号を保持したまま、逆方向へ拡散符号がシフトを始める。

【0064】

図9に図8の拡散符号発生回路（本例ではPN7 {1-1111-1-1} の拡散符号）動作時の波形を示す。図9（a）は第1の拡散符号発生回路160-1がオン状態のと

き発生する第1の拡散符号を示し、図9(b)は第2の拡散符号発生回路160-2がオン状態のとき発生する第2の拡散符号を示している。

加算器17の出力(図1のA点)およびピーク検出器18の出力(図1のB点)における特徴的な信号波形は図7と同様になる。

【0065】

以下に動作原理を詳細に説明する。初期状態として第1の拡散符号発生回路160-1もしくは第2の拡散符号発生回路160-2のうちどちらかの出力が乗算器15a~15gへ供給されているとする。この初期状態の動作は第1の実施の形態の動作に相当し、拡散符号長 $|f_1 + f_2|$ もしくは拡散符号長 $|f_1 - f_2|$ の時間間隔で加算器17から相関ピーク信号が得られる。ピーク検出器18がこのピークを検出すると、拡散符号制御回路169によりフリップフロップ間の信号パスが切り替えられ、拡散符号のシフトする方向が切り替えられる。

【0066】

拡散符号のシフトする方向が一方向の場合、次の相関ピーク信号が現れるのは、拡散符号がシフトしていき同じ拡散符号パターンが乗算器15a~15gに入力されるときであり、拡散符号長の時間間隔に1回である。本実施の形態では、ピーク検出器18によってピークが検出される度に拡散符号がシフトする方向を切り替える構成としている。このため、相関ピーク信号が得られると、拡散符号制御回路169により拡散符号のシフト方向が切り替えられ、逆方向にシフトする拡散符号が乗算器15a~15gに入力される。

【0067】

拡散符号制御回路169が相関ピーク信号を検出してから拡散符号が逆方向にシフトし始めるまでの遅延時間の間に、乗算器15a~15gに入力中の拡散符号は切り替え前のシフト方向にシフトし続けている。このため、相関ピーク信号が検出されたときの拡散符号パターンとシフト方向が切り替わったとき乗算器15a~15gに入力される拡散符号の位相にずれが生じるが、乗算器15a~15gに入力される拡散符号が逆方向にシフトし始めるため、シフト方向の切り替えから程無くして拡散信号と拡散符号の位相は再び一致し、次の相関ピーク信号が加算器17から得られる。拡散符号制御回路169は、ピーク検出器18により次の相関ピーク信号が検出されると、拡散符号のシフト方向を逆方向に切り替える。

【0068】

以下同様の制御を繰り返すことにより、使用する拡散符号長によらず相関ピーク信号を頻繁に得ることができる。

なお、拡散符号制御回路169が相関ピーク信号を検出してから拡散符号が逆方向にシフトし始めるまでの遅延時間が短すぎて、相関ピーク信号が検出されたときの拡散符号パターンと乗算器15a~15gに入力される拡散符号の位相にずれが生じるよりも速く拡散符号のシフト方向が切り替わってしまう場合には、相関ピーク信号を検出したときに直ちにシフト方向を切り替えるのではなく、ピーク検出器18が相関ピーク信号を検出してから一定時間後に拡散符号制御回路169が拡散符号を逆方向にシフトするようにすればよい。

【0069】

また、図8に示した拡散符号発生回路16をDSPやPLD等のプログラマブルデバイスで構成してもよく、同等の制御を行えるものであればこれらに限定されない。

【0070】

本実施の形態によれば、第1の実施の形態と同様に、拡散信号と拡散符号との同期制御を行うことなく逆拡散復調を行うことができる。さらに、本実施の形態では、第3の実施の形態と同様に、加算器17からの相関ピーク信号がクロック f_1 、 f_2 や使用する拡散符号に依存しない構成のため、送信する信号のデータレートの高ビット化を図ることができる。

【0071】

[第5の実施の形態]

次に、本発明の第5の実施の形態について説明する。本実施の形態の逆拡散復調器は、上記第1の実施の形態から第4の実施の形態のいずれかにおいて、拡散信号と拡散符号の乗算を行う乗算器15a～15gと、個々の乗算器15a～15gの出力を加算する加算器17と、加算器17の出力のピークを検出するピーク検出器18とをデジタル回路で構成することを特徴としている。

【0072】

乗算器15a～15gに入力される拡散信号および拡散符号は、どちらもフリップフロップ回路から出力されるデジタル信号なので、図2、図3に示したような回路によるアナログ演算を行わなくとも、デジタル回路を用いてデジタル演算を行うことによる逆拡散復調が可能である。

【0073】

第1の実施の形態における逆拡散復調器の乗算器15a～15g、加算器17およびピーク検出器18をデジタル回路で構成した場合を考える。乗算器15a～15gをEXOR (Exclusive-OR) -NOTで構成したとすると、拡散信号と拡散符号の位相が同極性で一致した場合は、各乗算器15a～15gから出力されるデジタル信号は「1」となり、乗算器の数が7個の場合、加算した結果は「7」となる。逆に、拡散信号と拡散符号の位相が逆極性で一致した場合は、各乗算器15a～15gから出力されるデジタル信号は「0」となり、加算した結果も「0」となる。

【0074】

拡散信号と拡散符号の位相が1チップレート以上ずれている場合は、加算器17から出力される結果は「0」と「7」の中間の「3」、「4」程度となる。加算器17から出力される値が「7」の相関ピーク信号は、送信されたベースバンド信号の「1」に相当し、加算器17から出力される値が「0」の相関ピーク信号は、送信されたベースバンド信号の「0」に相当する。したがって、加算器17から出力される「0」付近の相関ピーク信号と「7」付近の相関ピーク信号を検知することにより、送信されたベースバンド信号を復調することができる。

【0075】

したがって、本実施の形態では、拡散信号と拡散符号との同期制御を行うことなく逆拡散復調を行うことができ、コンパレータ回路以外を全てデジタル回路で実現できるため、逆拡散復調器の設計が容易になり、逆拡散復調器の小型化を実現することができる。

【産業上の利用可能性】

【0076】

本発明は、拡散符号を用いた演算により所望の信号を周波数拡散して送信した拡散信号を受信し、この受信した拡散信号を拡散符号を用いた演算により逆拡散して前記所望の信号を取り出す無線通信に適用できる。

【図面の簡単な説明】

【0077】

【図1】本発明の第1の実施の形態となる逆拡散復調器の構成を示すブロック図である。

【図2】本発明の第1の実施の形態の逆拡散復調器に用いる乗算器の1構成例を示す回路図である。

【図3】本発明の第1の実施の形態の逆拡散復調器に用いる加算器の1構成例を示す回路図である。

【図4】本発明の第1の実施の形態の逆拡散復調器に用いる拡散符号発生回路の1構成例を示すブロック図である。

【図5】本発明の第1の実施の形態の逆拡散復調器で得られる加算信号およびベースバンド信号の信号波形図である。

【図6】本発明の第3の実施の形態となる逆拡散復調器の構成を示すブロック図である。

【図7】本発明の第3の実施の形態の逆拡散復調器で得られる加算信号およびベース

バンド信号の信号波形図である。

【図 8】本発明の第 4 の実施の形態の逆拡散復調器に用いる拡散符号発生回路の 1 構成例を示すブロック図である。

【図 9】本発明の第 4 の実施の形態の逆拡散復調器に用いる拡散符号発生回路の動作を説明する図である。

【図 1 0】第 1 の従来技術である逆拡散復調器の構成を示すブロック図である。

【図 1 1】第 2 の従来技術である逆拡散復調器の構成を示すブロック図である。

【図 1 2】第 2 の従来技術である逆拡散復調器で得られる加算信号およびベースバンド信号の信号波形図である。

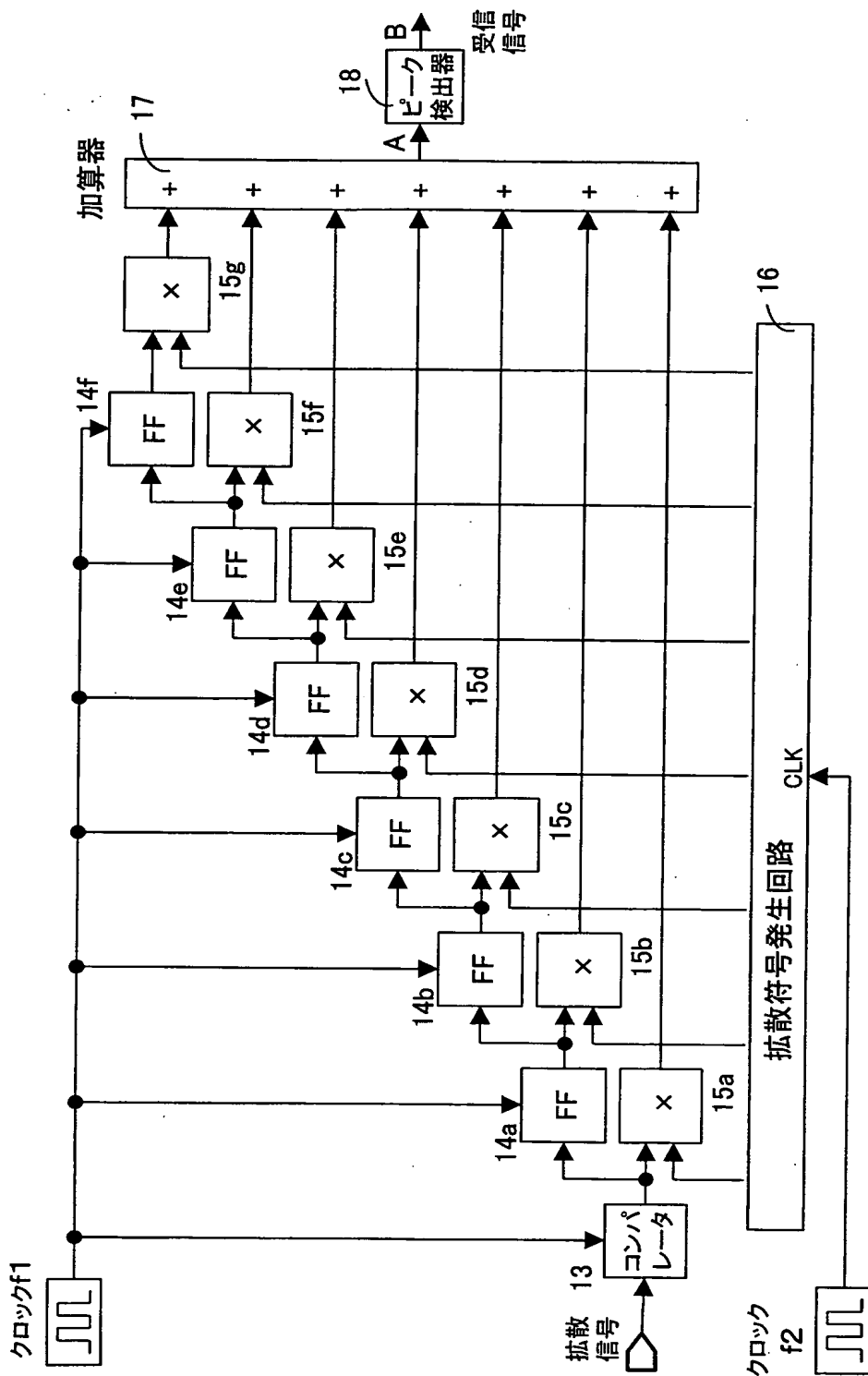
【符号の説明】

【0 0 7 8】

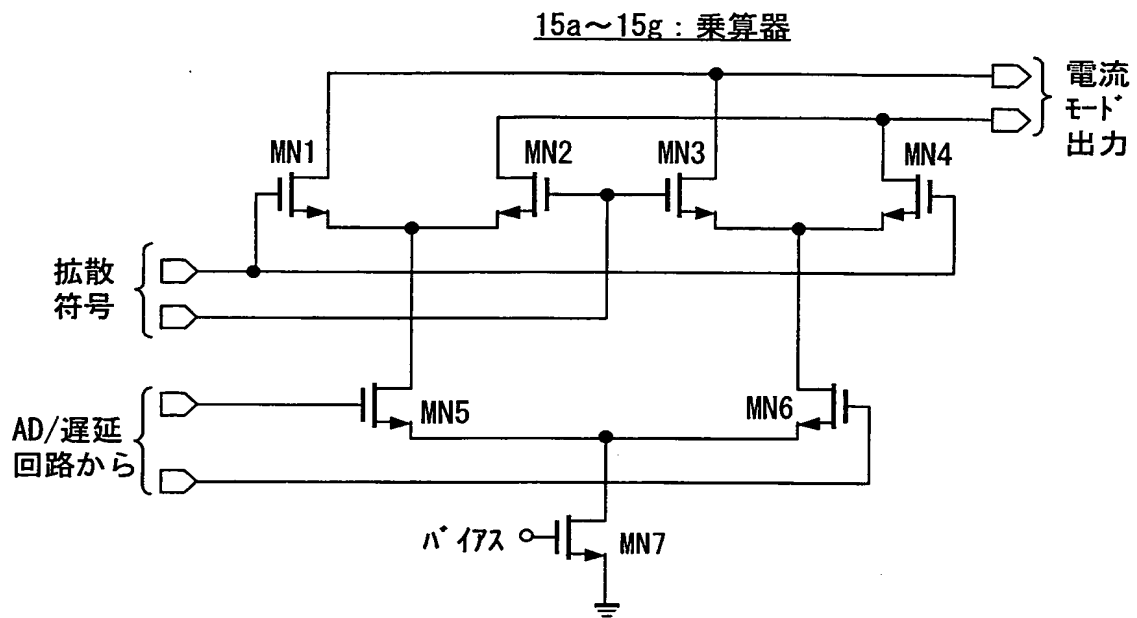
1 3…コンパレータ回路、1 4 a～1 4 f…遅延回路、1 5 a～1 5 g…乗算器、1 6…拡散符号発生回路、1 7…加算器、1 8…ピーク検出器、1 9…クロック制御回路、M N 1～M N 7…NMOS トランジスタ、3 1、3 2…負荷抵抗、1 6 1…排他的論理和回路、1 6 2 a～1 6 2 g…フリップフロップ回路、1 6 0-1…第 1 の拡散符号発生回路、1 6 0-2…第 2 の拡散符号発生回路、1 6 3、1 6 6…排他的論理和回路、1 6 4 a～1 6 4 g、1 6 7 a～1 6 7 g…フリップフロップ回路、1 6 5 a～1 6 5 h、1 6 8 a～1 6 8 h…スイッチ、1 6 9…拡散符号制御回路。

【書類名】 図面

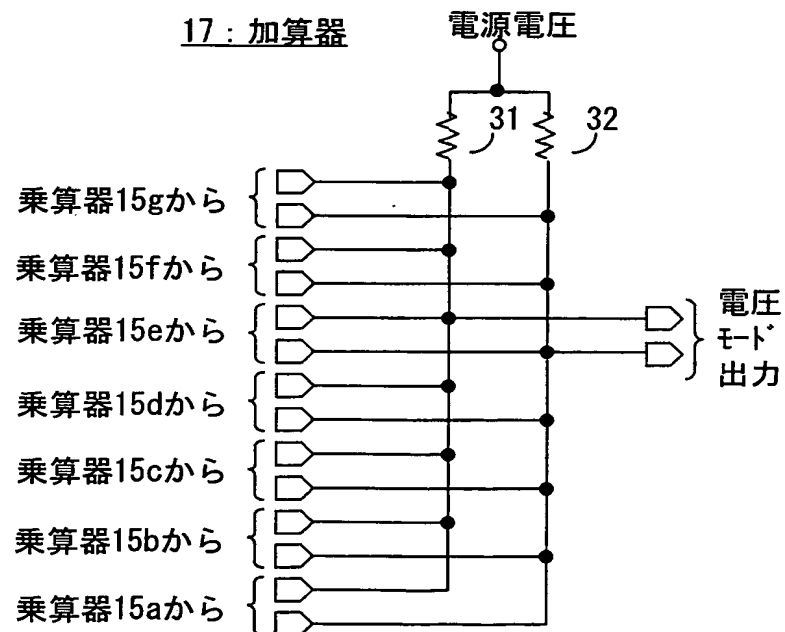
【図 1】



【図 2】

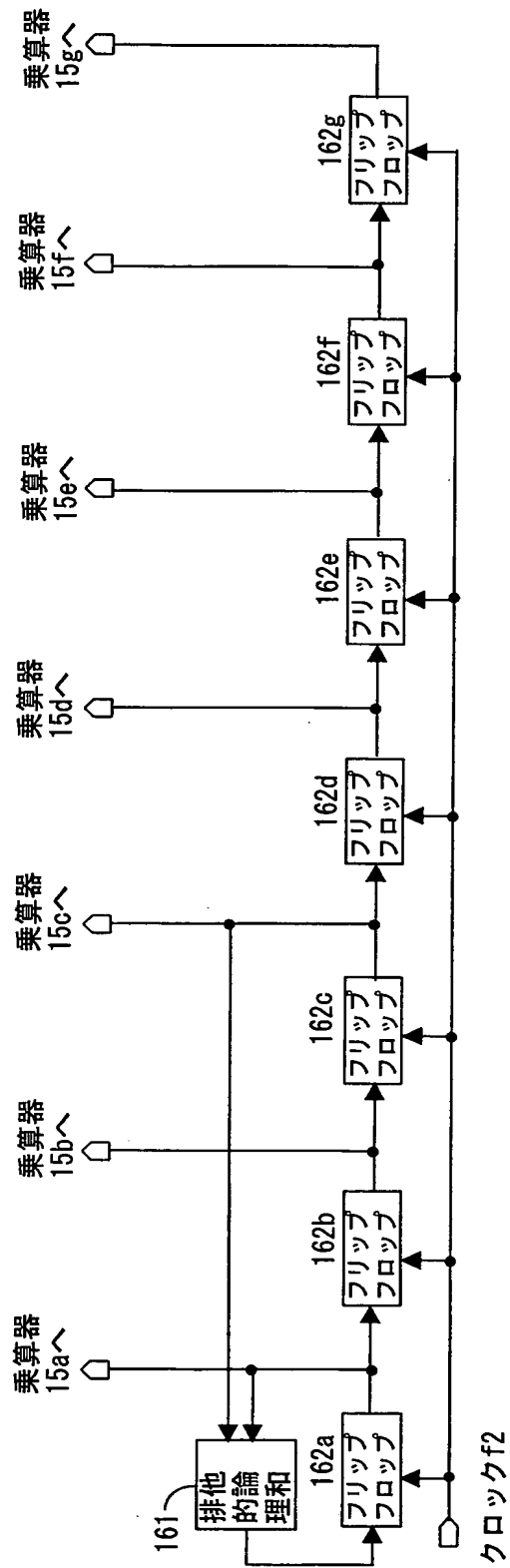


【図 3】

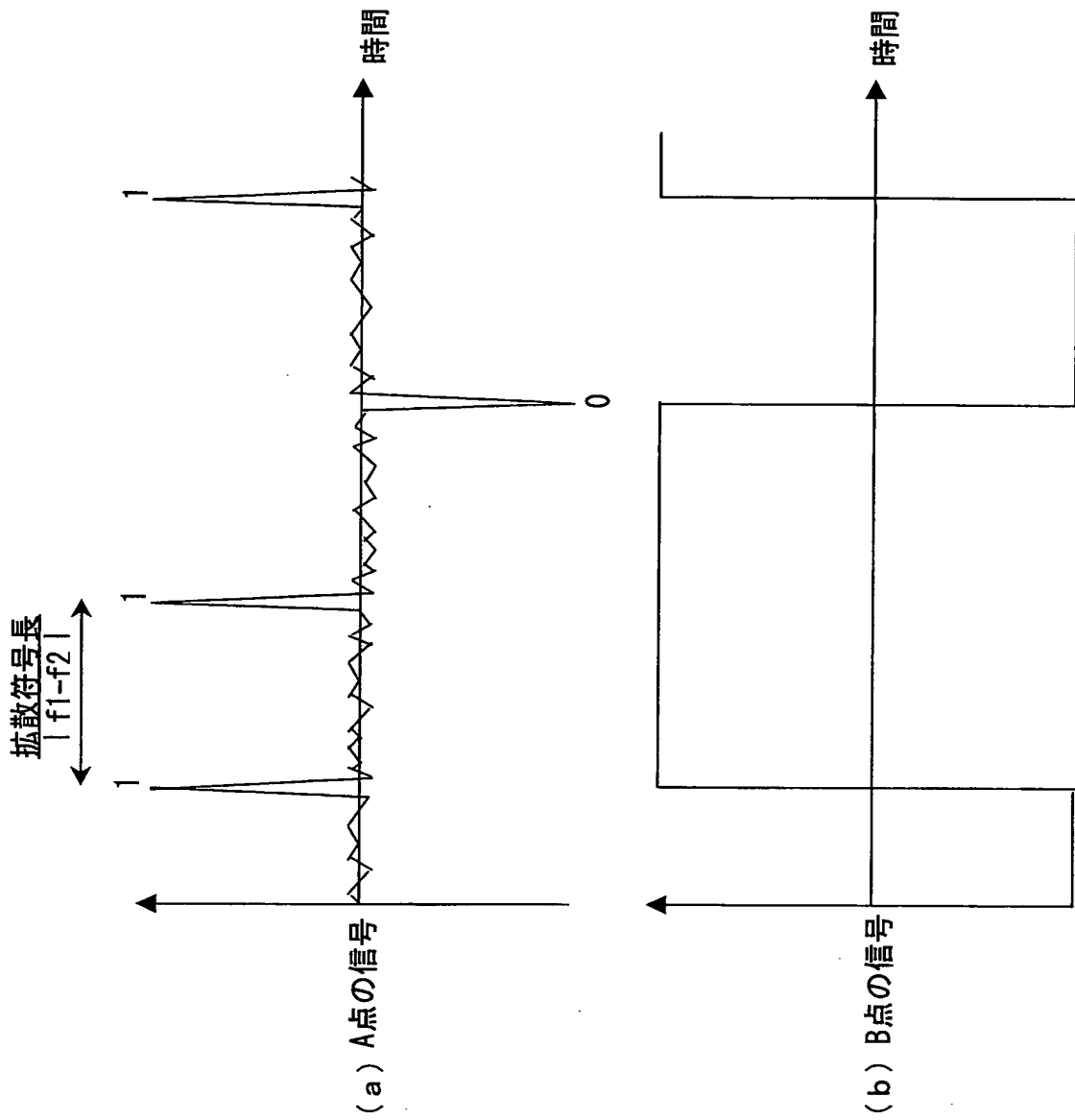


【図 4】

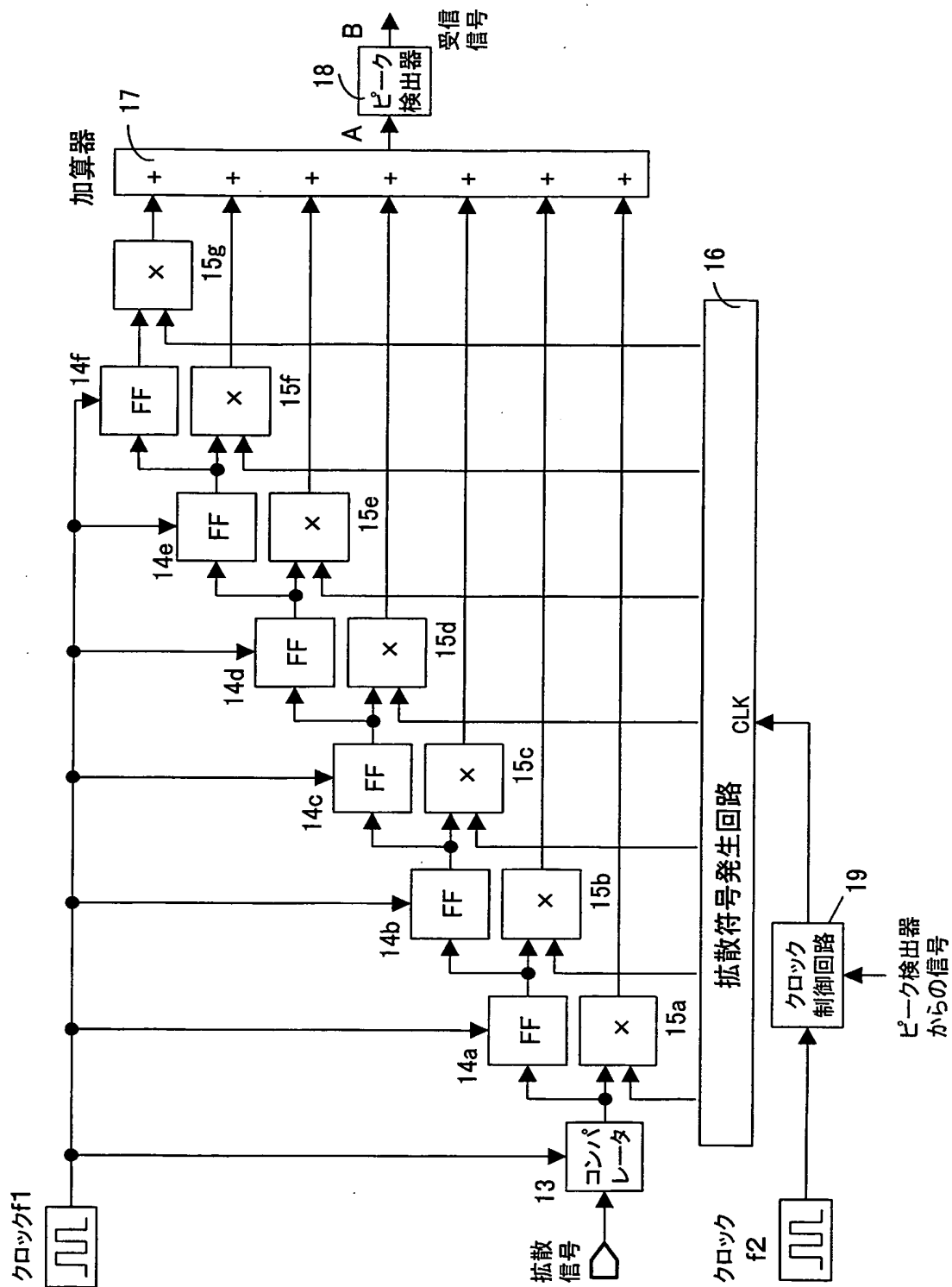
16: 拡散符号発生回路



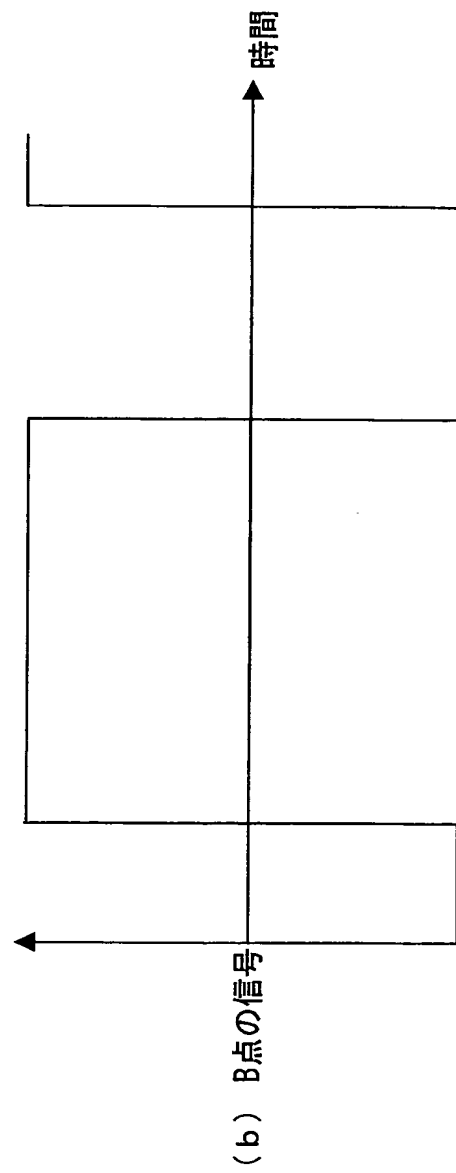
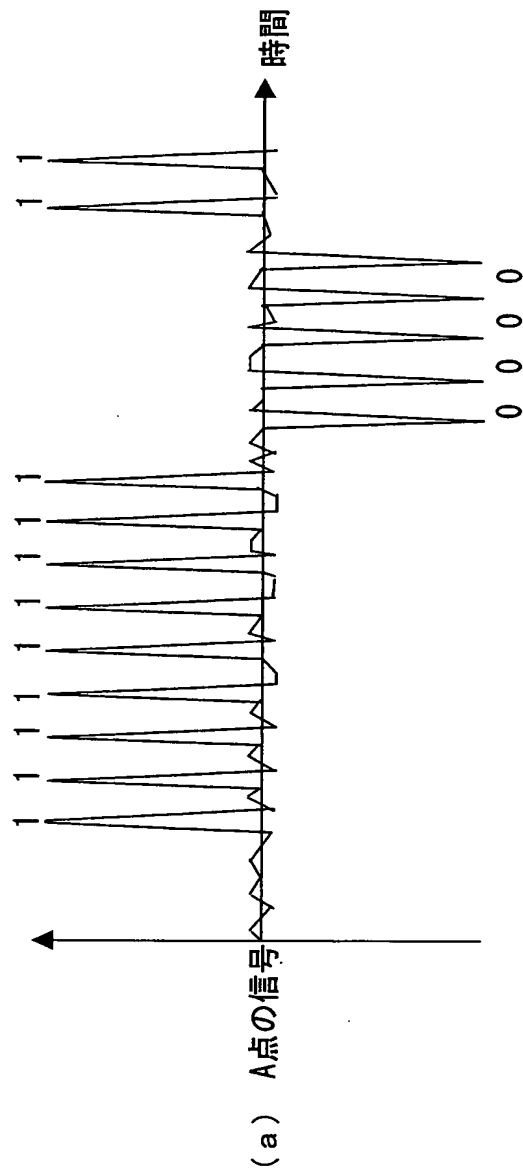
【図 5】



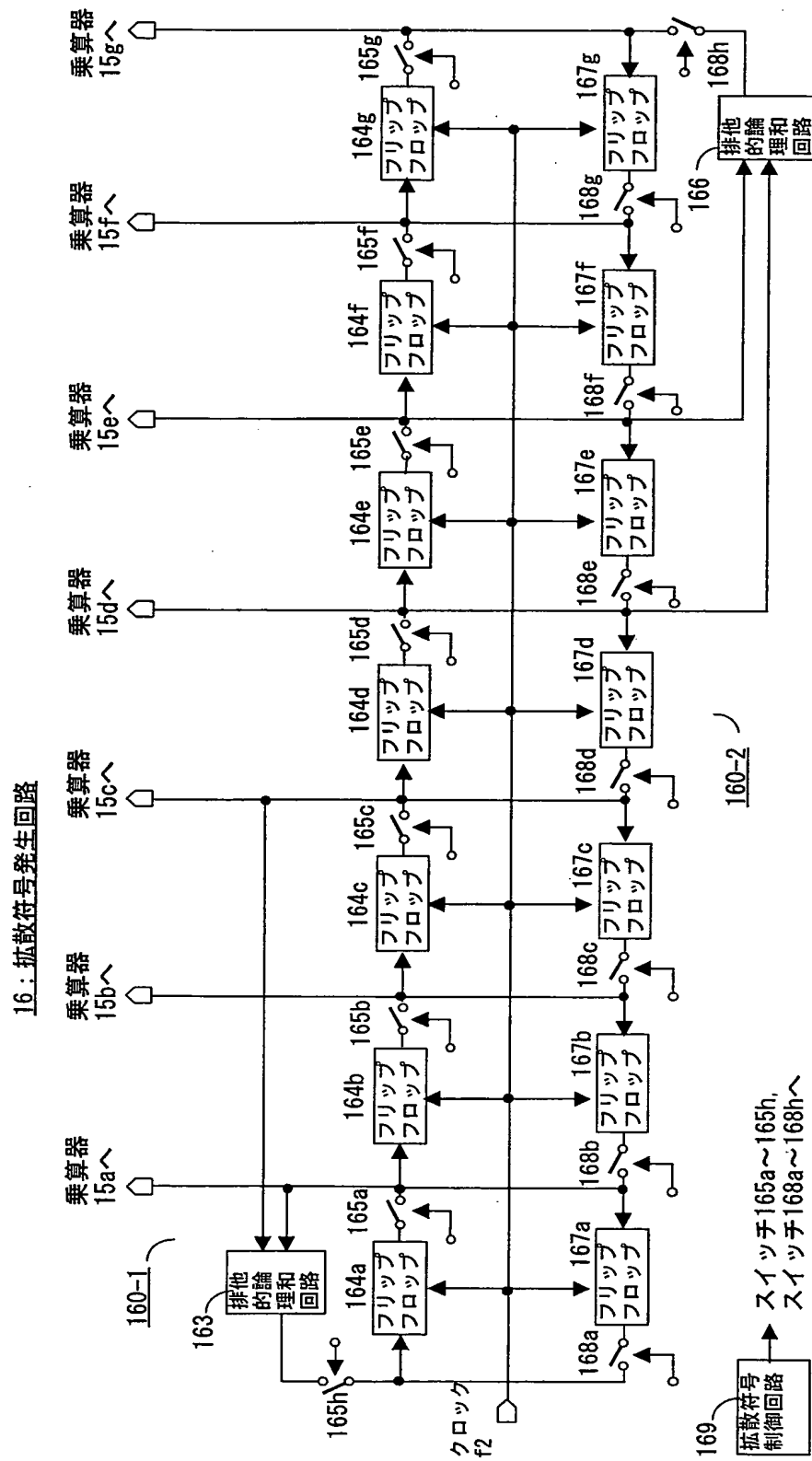
【図 6】



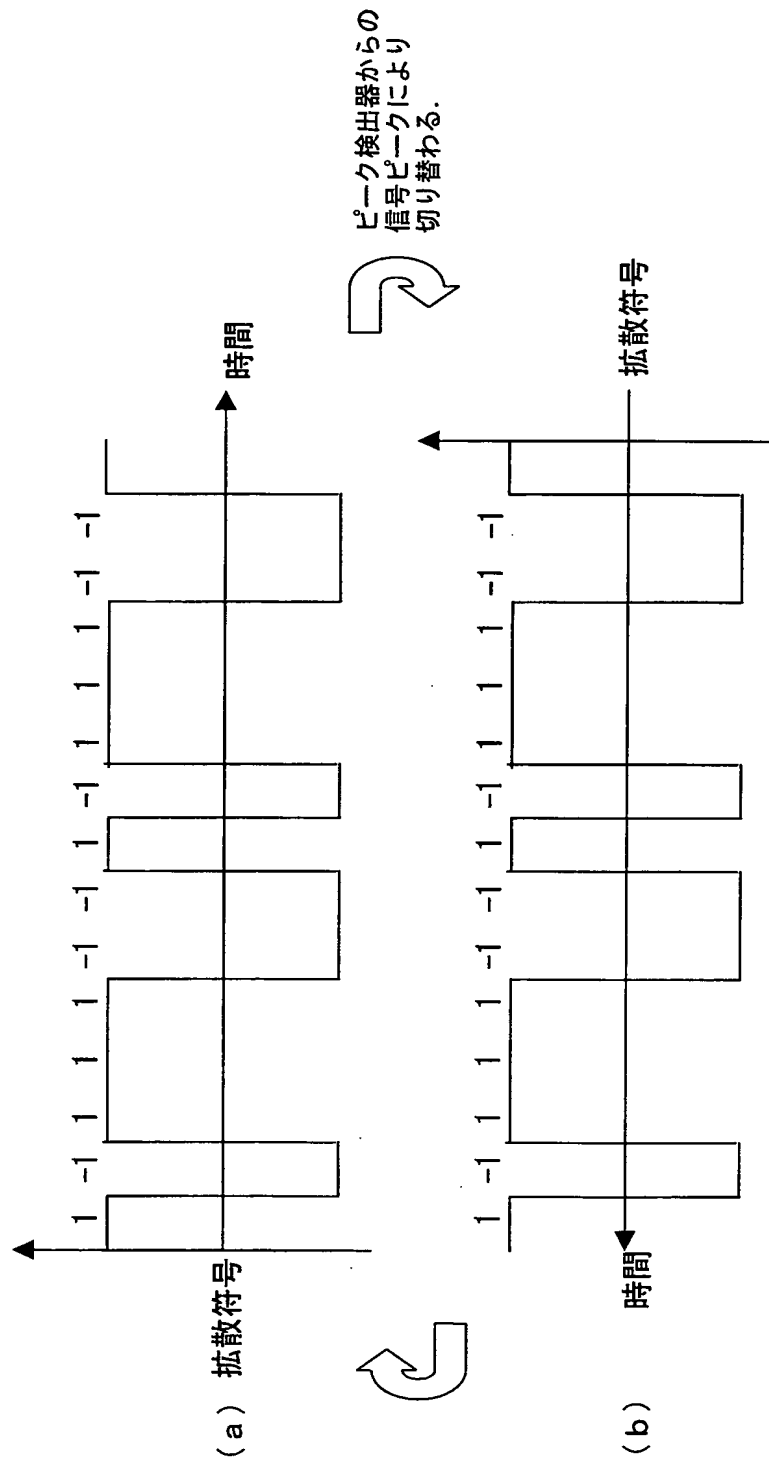
【圖 7】



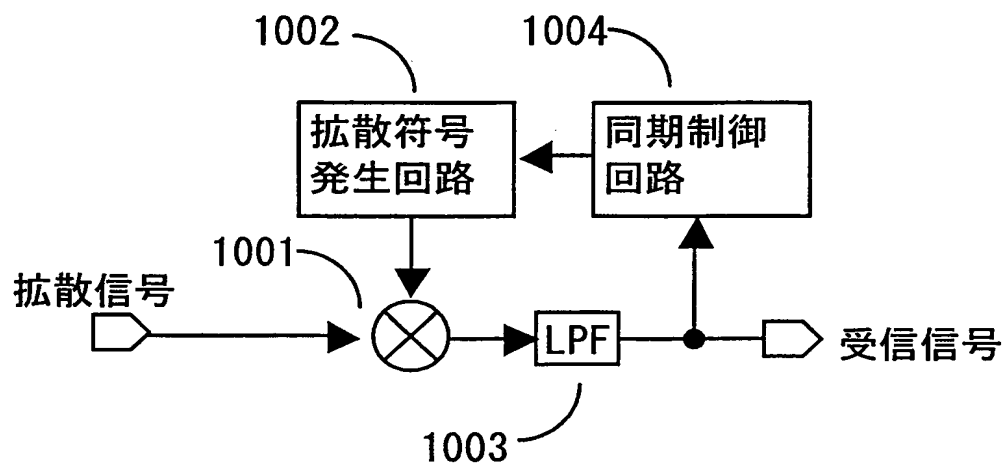
【図 8】



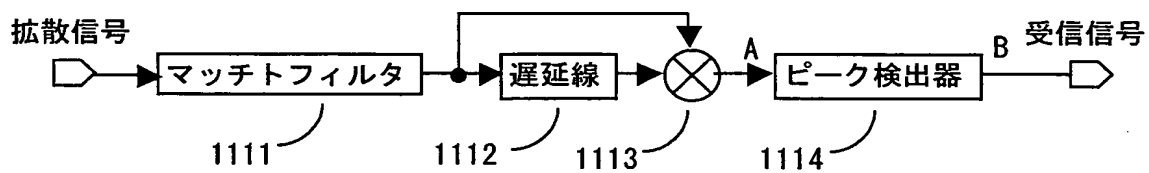
【図 9】



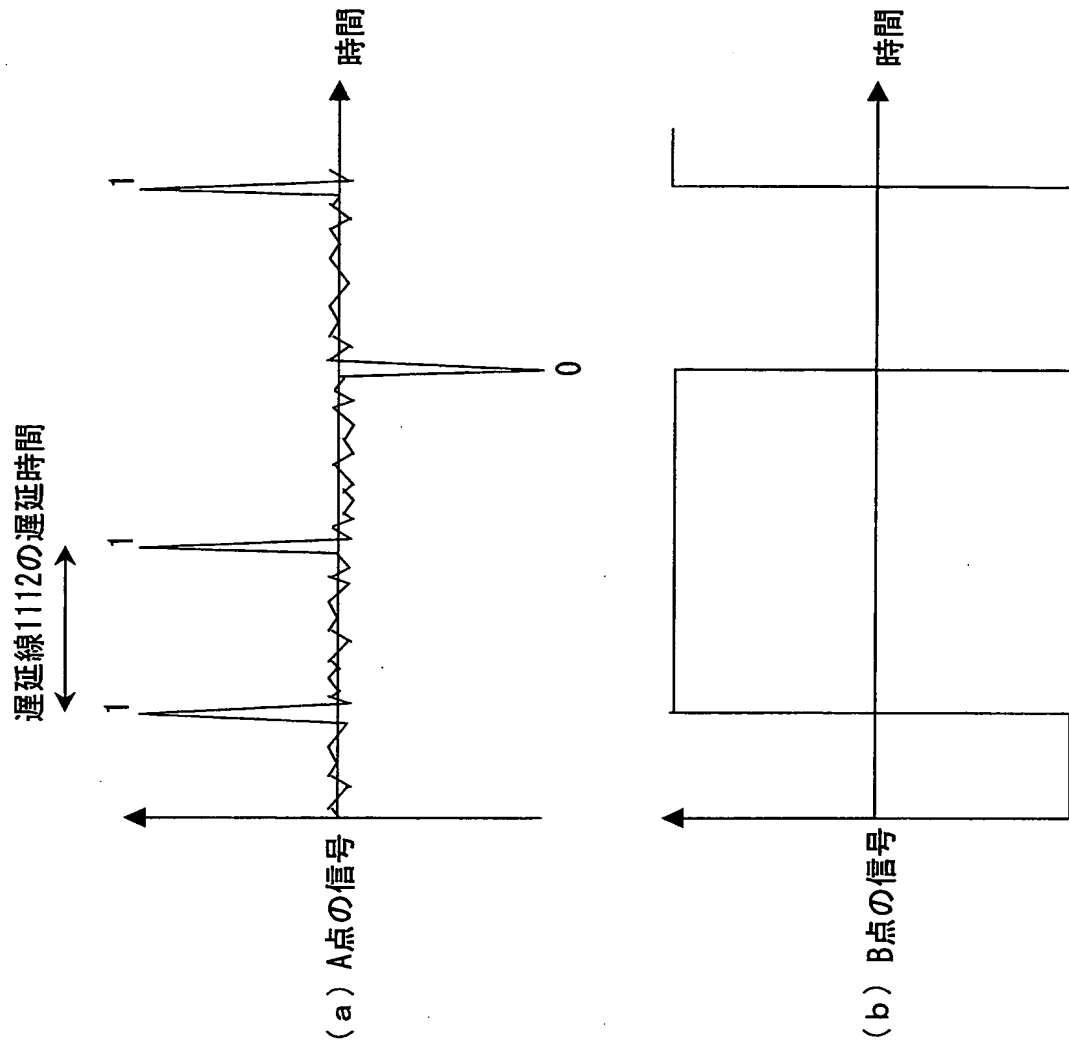
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 外付け部品が不要で、かつ同期制御の必要のない拡散符号発生回路を用いて逆拡散復調する。

【解決手段】 第 1 のクロック f_1 に同期して拡散信号をデジタル信号に変換するコンパレータ回路 1 3 と、コンパレータ回路の出力をクロック f_1 の 1 周期から 6 周期まで遅延させた 6 個の信号を出力する遅延回路 1 4 a ~ 1 4 f と、第 2 のクロック f_2 に同期して 7 個の拡散符号を発生する拡散符号発生回路 1 6 と、コンパレータ回路および遅延回路から出力された信号と拡散符号発生回路から出力された拡散符号とを乗算する 7 個の乗算器 1 5 a ~ 1 5 g と、乗算器の出力を加算する加算器 1 7 と、加算器の出力のピークを検出するピーク検出器 1 8 とを有する。

【選択図】 図 1

特願 2 0 0 3 - 2 8 5 3 3 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 2 6]

1. 変更年月日

1 9 9 9 年 7 月 1 5 日

[変更理由]

住所変更

住 所

東京都千代田区大手町二丁目 3 番 1 号

氏 名

日本電信電話株式会社